

ОРГАНИЗАЦИЯ АРИФМЕТИЧЕСКОГО РАЗРЯДНО-ПАРАЛЛЕЛЬНОГО СБИС-ПРОЦЕССОРА ДЛЯ МАССОВЫХ ВЫЧИСЛЕНИЙ

В.С. Князьков, И.П. Осинин, Т.В. Волченская

Вятский государственный университет

Рассматривается организация мультиоперандного суммирования m n -разрядных двоичных чисел [2] на основе техники подсчета количества единичных бит в разрядных срезах, формируемых из разрядов суммируемых чисел. Техническим результатом от использования способа организации вычислений суммы n m -разрядных чисел является повышение скорости вычислений за счет замены серии из n арифметических операций сложения m параллельно-разрядными исполняемыми операциями подсчета количества единичных бит. В статье приведена техническая реализация способа в виде устройства суммирования двоичных чисел на базе пирамидального выделения переносов в последующие разрядные срезы. Для приведения к мультиоперандному суммированию таких арифметических операций как вычитание, умножение и деление, необходимо преобразование исходных операндов. Схемотехническая реализация подобных преобразователей также приведена в статье.

Введение

Решением задачи повышения скорости вычислений в арифметико-логических устройствах (АЛУ) при приемлемых аппаратных затратах является построение СБИС-процессоров, операционная часть которых представляет собой универсальное вычислительное пространство, перестраиваемое для выполнения конвейерно-параллельной обработки различных арифметико-логических операций [1].

Одноразрядный конвейерный сумматор

Для построения мультиоперандного сумматора используется одноразрядный сумматор, в котором процесс суммирования операндов является параллельно-конвейерным. На рис. 1 приведена функциональная схема предлагаемого одноразрядного конвейерного сумматора, где a , b – информационные входы; clk – вход синхронизации; s – выход устройства; AND2 – двухвходовой элемент «И»; XOR – элемент «ИСКЛЮЧАЮЩЕЕ ИЛИ»; OR2 – двухвходовой элемент «ИЛИ»; NOT – элемент «НЕ»; DFF – информационный триггер.

Одноразрядный конвейерный сумматор состоит из однобитного полного сумматора и элементов памяти, которые выполнены на информационных триггерах. Элементы памяти необходимы для организации конвейерного режима обработки чисел, причем в канале переноса необходим двухступенчатый триггер для исключения гонок при изменении состояния, выполненный из двух информационных триггеров ($inst3$ и $inst8$) и элемента «НЕ».

Данный сумматор работает следующим образом: на входы a и b последовательно такт за тактом подаются разряды первого и второго слагаемого, начиная с младших разрядов. На выходе s формируются разряды суммы в той же последовательности. Время заполнения конвейера равно одному такту, то есть i -й разряд суммы будет доступен на выходе устройства в $(i+1)$ -м такте, где $i \in [1, n]$.

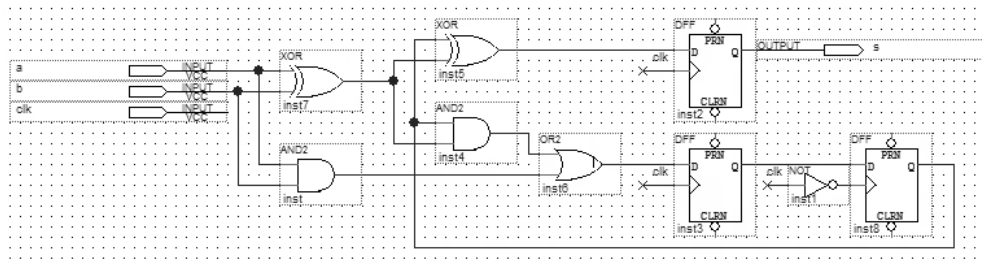


Рис. 1. Функциональная схема одноразрядного конвейерного сумматора

Так как в устройстве цепь распространения сигнала имеет три логических элемента, время задержки распространения сигнала составляет $3 \cdot t$, где t – время задержки сигнала одним логическим элементом. На рис. 2 представлены результаты экспериментального моделирования данной схемы.

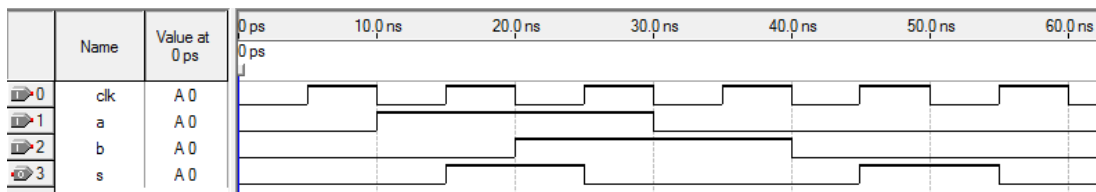


Рис. 2. Временная диаграмма работы одноразрядного конвейерного сумматора

Исходные слагаемые $a=11$ и $b=110$ поразрядно подаются на входы устройства каждый такт синхронизации, начиная с младших. С 15 нс каждый такт выдаются разряды искомой суммы $s=1001$. Время такта равно 10 нс.

Мультиоперандный сумматор

Устройство для конвейерных вычислений суммы m n -разрядных чисел (мультиоперандный сумматор) представляет собой однородную вычислительную среду, в роли ячейки которой выступает рассмотренный одноразрядный конвейерный сумматор. На рис. 3 представлено устройство для конвейерных вычислений суммы восьми n -разрядных чисел, где ОКС – одноразрядные конвейерные сумматоры (ячейки однородной вычислительной среды); информационные входы X_1 - X_8 ; информационный выход Y . В общем виде устройство имеет также пирамидальную структуру, в каждом следующем столбце в два раза меньше ячеек, чем в предыдущем, причем количество столбцов равно $\log_2 m$.

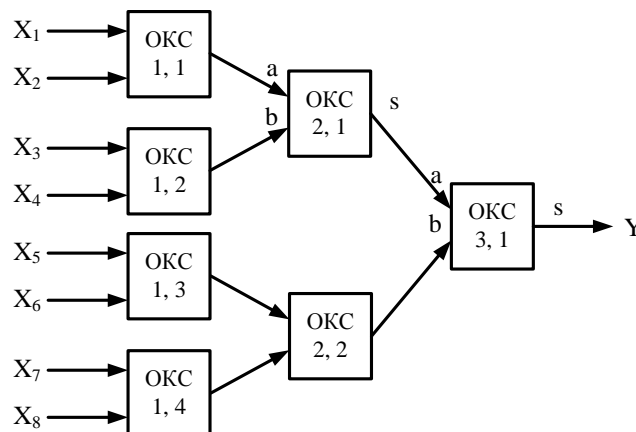


Рис. 3. Структурная схема мультиоперандного сумматора

Общее количество ячеек равно $m-1$. Вход синхронизации однородной вычислительной среды соединен с входами синхронизации всех ячеек. Массив исходных m n -разрядных двоичных чисел поступает на обработку в виде n двоичных m -мерных векторов, причем, m должно быть кратно степени двойки, первый и второй информационные входы ячеек первого столбца однородной вычислительной среды соединены с соответствующими разрядами m -разрядного входного вектора. Информационный выход каждой $(i-1, j)$ -й и (i, j) -й ячейки подключен соответственно к первому и второму информационному входу $(i/2, j+1)$ -й ячейки, причем $i \in [2, m/2^j]$, i принимает лишь четные значения.

Количество ячеек в j -м столбце однородной вычислительной среды равно $m/2^j$, количество столбцов однородной вычислительной среды равно p , где $p = \log_2 m$. Информационный выход ячейки последнего столбца однородной вычислительной среды является выходом схемы, с которого снимается результат.

Каждое i -е двоичное позиционное слагаемое можно представить в виде последовательности бит $A_i(a_n, a_{n-1}, \dots, a_1)$, где n -разрядность числа, $i \in [1, m]$. Тогда m слагаемых можно представить в виде матрицы:

$$\begin{pmatrix} a_{1,n}, a_{1,n-1}, \dots, a_{1,1} \\ a_{2,n}, a_{2,n-1}, \dots, a_{2,1} \\ \dots \\ a_{m,n}, a_{m,n-1}, \dots, a_{m,1} \end{pmatrix}. \quad (1)$$

Столбцы матрицы с элементами $(a_{1,j}, a_{2,j}, \dots, a_{m,j})$ являются входными векторами, которые поступают на обработку в однородную вычислительную среду.

В каждом такте на входы синхронизации всех триггеров подается сигнал синхронизации. На первый и второй информационные входы ячеек первого столбца подаются соответствующие биты разрядных срезов, причем каждый следующий разрядный срез подается на следующий такт работы устройства. С каждым следующим продвижением количество разрядов вектора уменьшается вдвое. Так продолжается до тех пор, пока количество разрядов передаваемого вектора не станет равным единице. Пройдя все столбцы однородной вычислительной среды, количество бит в i -м разрядном срезе сокращается до одного, данный бит является i -м разрядом искомой суммы исходных операндов. Формирующиеся при этом единицы переносов посредством обратной связи в ячейке передаются на обработку в следующий разрядный срез.

В результате через $\log_2 m$ тактов работы устройства формируется младший бит суммы m n -разрядных чисел, причем m должно быть кратно степени двойки. После этого конвейер является заполненным и биты результата доступны на выходе устройства каждый последующий такт работы. Так как в каждом такте работы устройства вектор передается в соседний справа столбец матрицы, на вход устройства каждый такт должен подаваться следующий вектор. Таким образом, устройство реализует конвейерный принцип обработки информации. Так как в ячейке самая длинная цепочка распространения сигнала имеет три логических элемента, время задержки распространения сигнала составляет $3*t$, где t – время задержки сигнала одним логическим элементом.

Если принять за время суммирования пары n -разрядных чисел n тактов работы устройства, то время вычисления суммы в предлагаемом устройстве в конвейерном режиме равно n тактов, в то время как время суммирования пирамидальным способом на базе традиционных сумматоров равно $p*n$ тактов, где $p = \log_2 m$. Таким образом, быстродействие устройства на базе описанного способа в $\log_2 m$ раз выше по сравнению с быстродействием устройства на базе известного итерационного способа суммирования. Например, при количестве слагаемых $m=64$ быстродействие предлагаемого устройства больше в 8 раз.

Количество тактов, необходимое для параллельно-разрядного вычисления суммы или разности m n -разрядных чисел в предложенном параллельно-разрядном устройстве не зависит от количества участвующих операндов и равно n . Если принять за время суммирования пары операндов обычным сумматором n тактов работы устройства, то количество тактов суммирования известным итерационным способом (с помощью накопителя частных сумм) равно $m \cdot n$. Количество тактов суммирования известным пирамидальным способом (складываются пары операндов, затем пары результатов частных сумм) равно $\log_2 m \cdot n$. Например, при количестве операндов $m=64$ вычисления будет выполняться в 64 раза быстрее, чем при итерационном способе, и в восемь раз быстрее, чем при пирамидальном. Рисунок 4 отражает зависимость количества тактов работы для разных типов сумматоров от разрядности операндов (количество операндов $m=16$).

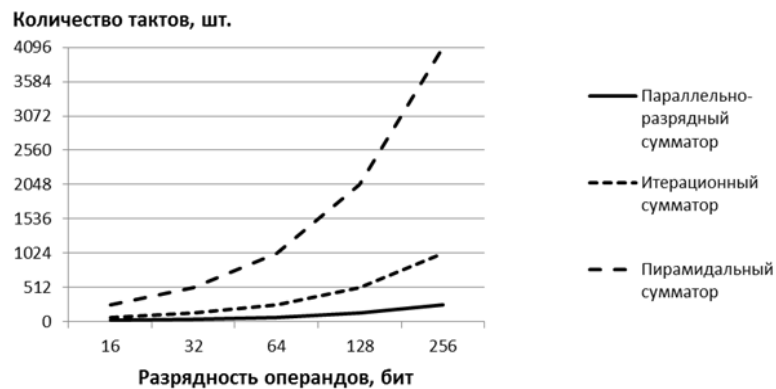


Рис. 4. Диаграмма зависимости количества тактов работы сумматора от разрядности операндов

Устройство для умножения чисел на базе мультиоперандного сумматора

В статье [2] предлагается оригинальный способ умножения двух m -разрядных целых двоичных чисел без остатка, основанный на подсчете количества единичных бит в разрядных срезах, формируемых из разрядов множителя. Техническая реализация данного способа требует преобразования исходных чисел для последующего мультиоперандного суммирования. Предлагается специальная функциональная схема ячейки формирователя разрядных срезов сомножителей (рис. 5), где: $x1$, $x2$ – информационные входы; clk – вход синхронизации; $z1$ – управляющий вход; DFF – информационный триггер; AND2 – двухвходовой элемент «И»; $z2$, $x3$ – управляющие выходы; y – информационный выход.

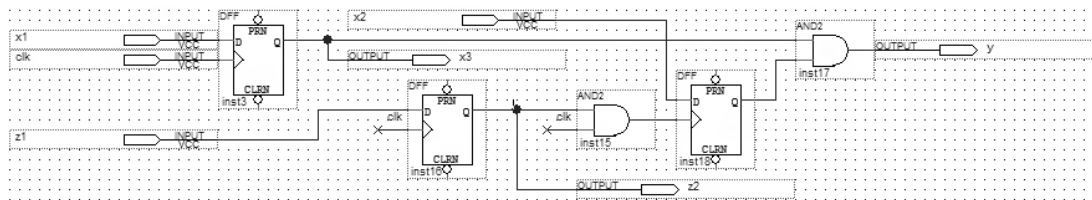


Рис. 5. Функциональная схема ячейки формирователя разрядных срезов сомножителей

Перед началом операции умножения на управляющий вход устройства в течение одного такта подается значение логической единицы. В последующие такты на управляющий вход устройства подается значение логического нуля, а на входы $x1$ и $x2$ последовательно подаются значения разрядов сомножителей, начиная с младших. Через $\log_2 m + 1$ тактов после начала операции умножение на выходе мультиоперандного сумматора будет доступен младший бит искомого результата умножения. Каждый после-

дующий такт в течение $2 \cdot t$ тактов работы устройства соответствующий бит результата умножения будет доступен на выходе устройства.

Количество тактов, необходимое для параллельно-разрядного вычисления произведения двух n -разрядных чисел в предложенном устройстве равно $2 \cdot n$. При этом количество тактов умножения известным итерационным способом (с помощью накопителя частных сумм) равно n^2 . Например, при разрядности операндов $n=64$ вычисления в предложенном устройстве будут выполняться в 32 раза быстрее, чем при итерационном способе умножения. Рисунок 6 отражает зависимость числа тактов работы устройств рассмотренных типов от разрядности операндов.

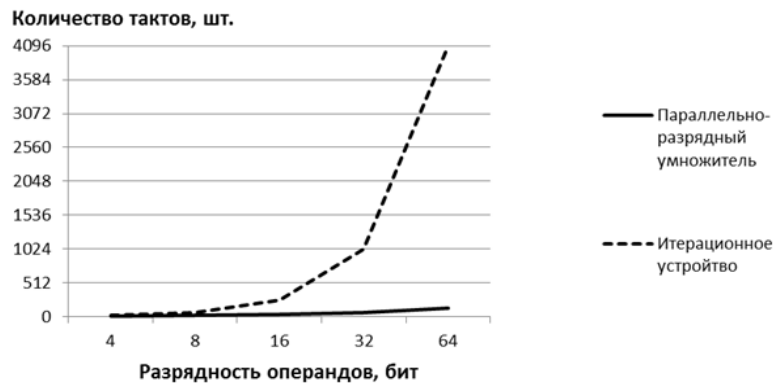


Рис. 6. Диаграмма зависимости количества тактов работы устройства умножения (деления) от разрядности операндов

Литература

1. Осинин И.П., Князьков В.С. Способ и устройство для конвейерных вычислений суммы t n -разрядных чисел // Сборник материалов VI Всероссийской молодежной научно-инновационной школы «Математика и математическое моделирование». Саров, 17–20 апреля, 2012. С. 89–97.
2. Осинин И.П., Князьков В.С. Способ организации вычислений суммы n t -разрядных чисел // Первый Всероссийский конгресс молодых ученых: Тез. докл. Санкт-Петербург, 10–13 апреля, 2012. – С. 87–88.
3. Осинин И.П., Князьков В.С. Концепция модулярно-систолической структуры для массовых арифметических вычислений // Сборник трудов XIX Всероссийской научно-методической конференции «Телематика'2011»: Тез. докл. Санкт-Петербург, 25 - 28 июня, 2012. С. 323–324.