

Библиотека масштабируемых интерфейсов для реконфигурируемых вычислительных систем на основе ПЛИС

М.К. Раскладкин

*НИИ многопроцессорных вычислительных систем имени академика А.В. Каляева
Южного федерального университета, Таганрог
maxim_work2003@mail.ru*

Практически каждый год происходит выпуск нового семейства ПЛИС. Происходит переход на новый технологический процесс, что позволяет увеличивать количество логических ячеек на единицу площади кристалла. Растет максимальная тактовая частота, появляются более высокоскоростные интерфейсы, по сравнению с кристаллами предыдущих семейств, увеличивается объем памяти на кристалле, применяются встроенные аппаратные IP-ядра реализации сложных интерфейсов для подключения к современным шинам типа PCI Express, сетевым средствам Gigabit Ethernet, памяти DDR3 и т.д. С выпуском каждой новой серии ПЛИС наблюдается снижение потребляемой мощности и снижение удельной себестоимости логических ячеек по сравнению с кристаллами предыдущей серии.

С ростом аппаратного ресурса ПЛИС, появляется возможность реализовать более производительную вычислительную систему путем увеличения количества вычислительных устройств системы, использования высокоскоростных интерфейсов ввода-вывода информации для обмена между ПЛИС в пределах печатной платы вычислительного модуля, так и современных внешних, по отношению к PBC, интерфейсов для информационного обмена с «внешним миром».

Очевидно, что для достижения максимальной производительности необходимо обеспечить такой темп поступления данных на вычислительные устройства, чтобы не возникало простоя оборудования, так называемого эффекта «узкого горла».

Для решения этой проблемы должны использоваться интерфейсные блоки: межблочные, загрузки-выгрузки и аппаратные.

Межблочные интерфейсные блоки используются для информационного обмена между вычислительными блоками внутри ПЛИС.

Интерфейсные блоки для загрузки-выгрузки необходимы при информационном обмене между ПЛИС и для загрузки конфигурационной информации в ПЛИС.

Аппаратные интерфейсы – применяются для обеспечения связи PBC между собой с персональным компьютером или иным внешним устройством и обеспечивают обмен информацией со стандартными шинами, например PCI, VME, Ethernet и др.

Таким образом, все три типа интерфейсов должны обеспечить согласованный темп поступления информации от внешнего устройства и прохождения этой информации как внутри одной ПЛИС, между вычислительными блоками, между ПЛИС в пределах одной платы PBC, так и между всеми вычислительными модулями, входящими в состав PBC, для исключения возможности простоя оборудования.

Очевидно, что количество, тип вычислительных устройств в одной ПЛИС и количество задействованных в решении задачи ПЛИС заранее не определены и различны при реализации различных алгоритмов на PBC. Создание набора интерфейсов учитывающих все возможные сочетания вычислительных устройств, практически невозможно, т.к. существует неограниченное количество сочетаний параметров интерфейсных блоков, таких как: тип сопрягаемых блоков, разрядность сопрягаемых блоков, частота, скважность и скорость потока данных и др.

Следовательно, возникает необходимость в создании библиотеки универсальных интерфейсных блоков функциональные и структурные параметры, которых должны

быть настраиваемые. Применение данных интерфейсных блоков должно обеспечивать максимально возможный темп поступления данных на вычислительные устройства.

Не мене важной проблемой является то, что масштабируемые интерфейсы для РВС на основе ПЛИС должны быть независимы от степени параллелизма прикладных задач.

Проблема масштабирования вычислительных блоков достаточно проста при наличии аппаратного ресурса. Однако проблема масштабирования интерфейсных блоков при произвольном количестве взаимосвязанных кристаллов ПЛИС и произвольном количестве базовых модулей РВС представляет собой не тривиальную задачу. До сих пор не предложено стандартных программных масштабируемых интерфейсов для РВС на основе ПЛИС аналогичных MPI или OpenMP для стандартных компьютерных платформ.

Проблема усугубляется тем, что если для стандартных многопроцессорных вычислительных систем (МВС) на основе группы компьютеров объединенных каналами связи, вычислительная часть программы и процедуры межузлового обмена разделены, то для РВС на основе ПЛИС, интерфейсные и вычислительные блоки неразрывно связаны друг с другом.

Для достижения максимальной производительности вычислительные и интерфейсные блоки должны образовывать единую вычислительную систему. Интерфейсные блоки также могут использоваться для соединения вычислительных блоков реализующих различные методы распараллеливания, при этом темп передачи данных между вычислительными блоками должен быть равен темпу обработки информации каждого вычислительного блока, что необходимо для реализации принципа структурных вычислений. Таким образом, до настоящего времени, интерфейсы являются практически неотделимой частью вычислительных блоков, т.е. каждый раз при реализации различных вычислительных алгоритмов приходится использовать одни и те же вычислительные блоки, но с различными интерфейсами.

Следовательно, такое разделение жизненно необходимо, особенно при использовании специальных систем автоматического масштабирования и каскадирования вычислительных блоков. Необходимо создать методы синтеза масштабируемых интерфейсов, что позволит использовать однократно разработанные вычислительные блоки для решения различных прикладных задач.

Появляется проблема выбора и реализации аппаратных и интерфейсов для информационного обмена между ПЛИС. Классические методы построения интерфейсов, используемые в широко распространенных IBM PC совместимых персональных компьютерах не пригодны. Основной недостаток архитектуры фон Неймана состоит в том, что она последовательная, т.е. выполнение команд происходит строго друг за другом. Процессор обрабатывает только один поток данных, который поступает от северного моста на материнской плате.

С точки зрения подключения, все внешние устройства подключаются к процессору через мосты. Северный мост используется для подключения графического контроллера и памяти, южный, подключен к северному мосту и содержит контроллеры шин ввода-вывода типа ISA, PCI, PCI Express, DMA контроллер и других устройств.

Подключение нескольких вычислительных плат входящих в состав РВС к управляющему устройству по топологии типа «точка-точка» с использованием стандартных мостов, возможно, но приведет к нескольким проблемам.

Во-первых, потребуется реализовать несколько аппаратных контроллеров PCI или PCI Express. Реализации этого контроллера в ПЛИС приведет к значительному снижению доступного вычислительного аппаратного ресурса ПЛИС.

Во-вторых, при увеличении количества вычислительных модулей РВС возникает проблема каскадирования мостов и общей производительности передачи данных в подобной системе.

В-третьих, возникает проблема параллельной высокоскоростной загрузки данных в вычислительные модули РВС, что требуется для задач, например, цифровой обработки сигналов, где объем данных сопоставимых с временем вычислений. Не существует стандартных команд для одновременной загрузки больших массивов данных в различные устройства, имеющие различные адреса.

Приведенные выше факторы, более чем справедливы для интерфейсов загрузки-выгрузки между ПЛИС.

Таким образом, существующий метод построения интерфейсов абсолютно не эффективен для РВС на основе множества ПЛИС. Приведет к избытку оборудования и не обеспечит сбалансированную скорость обмена информацией при масштабировании РВС.

Необходимо разработать интерфейсы нового типа, для вычислительных задач разного типа и учитывающие их специфику. Эти интерфейсы должны быть достаточно простыми, чтобы не занимать вычислительный ресурс ПЛИС и обеспечивать непосредственное взаимодействие блоков между собой. Для многих реализаций алгоритмов на РВС на основе ПЛИС возможен отказ от адресации каждой ПЛИС.

Таким образом, существует проблема создания библиотеки интерфейсных блоков, решающих вышеперечисленные задачи.

Интерфейсные блоки можно представить тремя типами: межблочные интерфейсы, загрузки-выгрузки и аппаратные интерфейсы.

Все типы интерфейсных блоков должны быть, прежде всего, масштабируемые и решать задачу переносимости при переходе на другое семейство или смене фирмы производителя ПЛИС.

Для реализации вышеперечисленных требований предлагается использовать язык описания аппаратуры VHDL (Very high speed integrated circuits Hardware Description Language), который широко поддержан многими современными системами проектирования ПЛИС. Использование языка VHDL для синтеза интерфейсных блоков позволяет настраивать структурные и функциональные параметры блока, такие как параметры разрядности, количество каналов, состава блока и др.

Межблочный интерфейс предназначен для информационного обмена между вычислительными блоками и должен обладать свойством масштабируемости в зависимости от степени распараллеливания вычислительных блоков.

Каждый вычислительный блок подразделяется на два типа: конвейерный и процедурный. В отличие от конвейерных вычислительных блоков, где результат выдается каждый такт, в процедурных блоках задержка результата может составлять более двух тактов.

Таким образом, предложенная библиотека типовых масштабируемых интерфейсов для реконфигурируемых вычислительных систем на основе ПЛИС позволит объединить в единой вычислительной структуре устройства, реализующие вычисления различными методами параллельно-конвейерной обработки. Использование данной библиотеки как элемента специальной среды разработки масштабируемых компонентов вычислительных структур для РВС, позволит автоматически масштабировать и распределять аппаратную реализацию алгоритма по вычислительным устройствам РВС, что значительно упростит создание таких структур и приведет к сокращению времени разработки прикладных задач.